设计目标：

精简RISC-V指令，定制数据通路和额外指令，来为DLA量体裁衣

设计内容：

在通用RISCV的基础上进行设计的地方——

1.从浮点数量化到伪浮点数送入脉动矩阵，再将从脉动矩阵中送出来的伪浮点数处理为浮点数。

2.设计矩阵切分的算法与实现方案。矩阵分割与脉动矩阵大小的选取优化。

3.设计脉动矩阵的单元模块（一个专用的ALU）。

4.修改数据通路（处理存储器与脉动矩阵单元之间的数据流传输）。

创新点：

1.由于RISC-V是相对通用的处理器，很多指令在执行该任务时不会被用到。对指令集进行裁剪，可以优化数据通路，减少硬件资源，提升计算速度。()

2.此外，考虑到并行计算可以大幅度提升矩阵相乘的速度，因此可以对功能单元进行优化，比如设计一个乘加阵列来大幅度提升计算的性能。在设计乘加阵列的时候，可以结合高效的数据流，比如脉动矩阵，来减少数据的搬移。

3.此外，由于使用了新的功能模块，建议设计新的指令并修改数据通路和控制模块，来提升计算的性能。

4.由于乘加阵列数量固定，那么对大的矩阵就需要进行切分，把计算的部分和存入缓存或者 内存再在下一次读入完成部分和相加，直到完成全部的计算。矩阵的切割和数据流需要针对所设计的架构进行优化，从而达到最高的效率。

时间安排：

|  |  |
| --- | --- |
| 4.9 | 环境熟悉（chipyard）与语言（chisel）学习 |
| 3.28 | 1.+2.的算法设计：  a.确定伪浮点数与浮点数之间的转化。  b.伪浮点数的运算方式。  c.矩阵分割与脉动矩阵大小的选取优化。 |
|  | 后续硬件实现需要待“第七章数字电路设计”这一节讲完后开展。届时再安排 |